

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-101097

(43)Date of publication of application : 07.04.2000

(51)Int.CI.
H01L 29/80
G01R 31/28
H01L 29/00

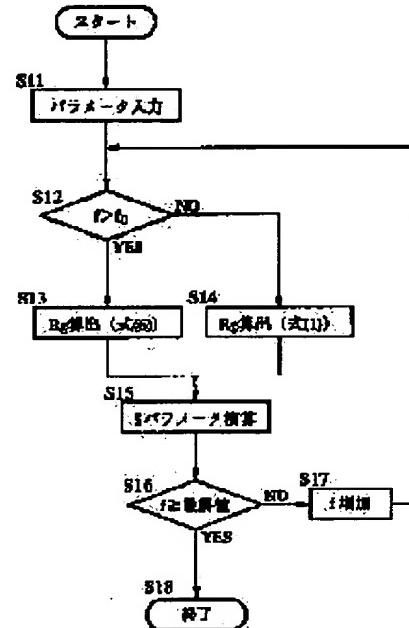
(21)Application number : 10-264492 (71)Applicant : FUJITSU LTD
(22)Date of filing : 18.09.1998 (72)Inventor : MASUDA SATORU

(54) METHOD, AND ITS DEVICE FOR SIMULATING CIRCUIT OF FIELD EFFECT TRANSISTOR

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a circuit simulation method for calculating the frequency characteristics of a field effect transistor using an equivalent circuit in which the characteristics of field effect transistor can be represented highly accurately even in high frequency region.

SOLUTION: In the circuit simulation method for calculating the frequency characteristics of a field effect transistor using an equivalent circuit, resistance of gate electrode is calculated while taking account of effective decrease of cross-sectional area of a gate electrode due to skin effect in high frequency region and then the frequency characteristics of the field effect transistor are calculated using the resistance of gate electrode.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2000-101097
(P2000-101097A)

(43)公開日 平成12年4月7日(2000.4.7)

(51) Int.Cl. ⁷	識別記号	F I	マーク(参考)
H 01 L 29/80		H 01 L 29/80	Z 2 G 03 2
G 01 R 31/28		29/00	5 F 10 2
H 01 L 29/00		G 01 R 31/28	F

審査請求 未請求 請求項の数 7 OL (全 8 頁)

(21)出願番号 特願平10-264492

(22)出願日 平成10年9月18日(1998.9.18)

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72)発明者 増田 哲

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74)代理人 100087479

弁理士 北野 好人

F ターム(参考) 2G032 AA07 AC08 AD04 AE12
5F102 FB10 CC01 CS04

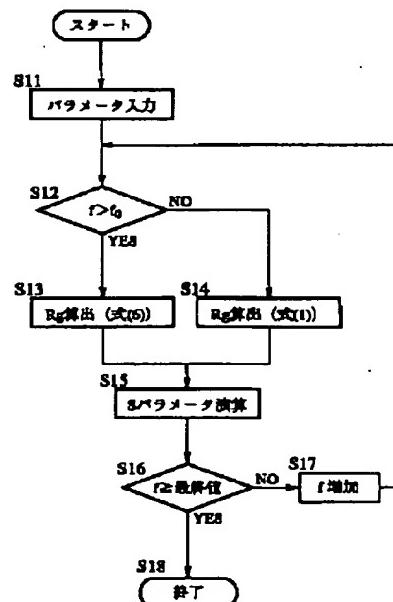
(54)【発明の名称】電界効果トランジスタの回路シミュレーション方法及び装置並びに回路シミュレーションモデル

(57)【要約】

【課題】電界効果トランジスタの周波数特性を等価回路を用いて算出する電界効果トランジスタの回路シミュレーションに関し、高周波領域においても高精度に電界効果トランジスタの特性を表現しうる電界効果トランジスタの回路シミュレーション方法及び装置並びに回路シミュレーションモデルを提供する。

【解決手段】電界効果トランジスタの周波数特性を等価回路を用いて算出する電界効果トランジスタの回路シミュレーション方法において、高周波領域における表皮効果によるゲート電極の実効的な断面積の減少を考慮してゲート電極の抵抗値を算出し、このゲート電極の抵抗値を用いて電界効果トランジスタの周波数特性を計算する。

本発明の一実施形態による回路シミュレーション方法を示すフローチャート



【特許請求の範囲】

【請求項 1】 電界効果トランジスタの周波数特性を等価回路を用いて算出する電界効果トランジスタの回路シミュレーション方法であって、
高周波領域における表皮効果によるゲート電極の実効的な断面積の減少を考慮して前記ゲート電極の抵抗値を算出し、
前記ゲート電極の抵抗値を用いて前記電界効果トランジスタの周波数特性を計算することを特徴とする電界効果トランジスタの回路シミュレーション方法。

【請求項 2】 請求項 1 記載の電界効果トランジスタの回路シミュレーション方法において、
前記ゲート電極の抵抗値は、前記ゲート電極を構成する材料の透磁率と、前記ゲート電極を構成する材料の比抵抗と、前記ゲート電極の厚さと、前記ゲート電極の幅を含む関数に基づいて算出することを特徴とする電界効果トランジスタの回路シミュレーション方法。

【請求項 3】 請求項 2 記載の電界効果トランジスタの回路シミュレーション方法において、

前記関数は、前記ゲート電極の抵抗値を R_g 、前記ゲート電極を構成する材料の透磁率を μ 、前記ゲート電極を構成する材料の比抵抗を ρ 、前記ゲート電極の厚さを t 、前記ゲート電極の幅を w 、電流の流れる領域の厚さを δ として、

$$R_g = R_{go} w t / (2(t+w)) \times (1/\delta + 2/(t+w-2\delta))$$

により表されることを特徴とする電界効果トランジスタの回路シミュレーション方法。

【請求項 4】 請求項 1 乃至 3 のいずれか 1 項に記載の電界効果トランジスタの回路シミュレーション方法において、

前記等価回路は、集中定数により記述された等価回路であることを特徴とする電界効果トランジスタの回路シミュレーション方法。

【請求項 5】 請求項 1 乃至 3 のいずれか 1 項に記載の電界効果トランジスタの回路シミュレーション方法において、
前記等価回路は、ゲート電極、ドレイン電極又はソース電極の少なくとも一つが分布定数により記述された等価回路であることを特徴とする電界効果トランジスタの回路シミュレーション方法。

【請求項 6】 電界効果トランジスタの周波数特性を等価回路を用いて算出する電界効果トランジスタの回路シミュレーション装置であって、

高周波領域における表皮効果によるゲート電極の実効的な断面積の減少を考慮して前記ゲート電極の抵抗値を算出するプログラムを格納する手段と、

前記プログラムを読み出して実行し、前記ゲート電極のゲート電極を算出する手段と、

前記ゲート電極の抵抗値に基づいて前記電界効果トランジ

ジスタの周波数特性を算出する手段とを有することを特徴とする電界効果トランジスタの回路シミュレーション装置。

【請求項 7】 電界効果トランジスタの周波数特性を等価回路を用いて算出するための電界効果トランジスタの回路シミュレーションモデルであって、
前記電界効果トランジスタのゲート電極の抵抗値として、高周波領域における表皮効果によるゲート電極の実効的な断面積の減少を考慮した値を用いることを特徴とする電界効果トランジスタの回路シミュレーションモデル。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、電界効果トランジスタの周波数特性を等価回路を用いて算出する電界効果トランジスタの回路シミュレーションに係り、特に、高周波領域においても高精度に電界効果トランジスタの特性を表現しうる電界効果トランジスタの回路シミュレーション方法及び装置並びに回路シミュレーションモデルに関する。

【0002】

【従来の技術】 化合物半導体により構成される半導体素子は、化合物半導体の有する高い電子移動度を利用して、主として高周波動作、高速動作が必要とされる製品に広く用いられている。化合物半導体素子としては、従来より MESFET や HEMT などの電界効果型のトランジスタが広く知られており、近年、これら電界効果トランジスタを用いて大規模高集積回路や高周波回路を構成することが検討されている。

【0003】 このような電界効果トランジスタを含む大規模高集積回路や高周波回路を設計する場合、電界効果トランジスタの周波数特性（例えば S パラメータ）の測定値を表現するためのシミュレーションモデルを用いて回路全体の設計をすることが行われている。このため、電界効果トランジスタの周波数特性を忠実に再現するシミュレーションモデルを如何にして構築するかが大規模高集積回路や高周波回路を設計するうえで極めて重要である。

【0004】 従来より、電界効果トランジスタの周波数特性を表現するために、集中定数型等価回路や、電極の長さを考慮した分布定数型等価回路が広く利用されている。集中定数型等価回路では、例えば図 5 に示すように、ゲート抵抗 R_g 、ドレイン抵抗 R_d 、ソース抵抗 R_s 、ゲートインダクタンス L_g 、ドレインインダクタンス L_d 、ソースインダクタンス L_s 、ゲートードレイン間容量 C_{gd} 、ゲートーソース間容量 C_{gs} 、ソースードレイン間容量 C_{ds} 、ドレインコンダクタンス G_d 、相互コンダクタンス G_m 、チャネル抵抗 R_{is} によりモデル回路を構成し、電界効果トランジスタの実測値に合わせこむようにしてこれら変数値を決定し、これらから電界効果トランジ

トランジスタのSパラメータを算出する。

【0005】分布定数型等価回路では、例えば図6に示すように、単位長さ当たりのゲート抵抗 R_{go} 、単位長さ当たりのドレイン抵抗 R_{do} 、ソース抵抗 R_s 、単位長さ当たりのゲートインダクタンス L_{go} 、単位当たりの長さのドレインインダクタンス L_{do} 、ソースインダクタンス L_s 、単位長さ当たりの真性領域のYパラメータY、単位長さ当たりのゲートードレイン間容量 C_{gdo} 、単位長さ当たりのゲートーソース間容量 C_{gs0} 、単位長さ当たりのソースードレイン間容量 C_{ds0} 、単位長さ当たりのドレインコンダクタンス g_{do} 、単位長さ当たりの相互コンダクタンス g_{mo} 、単位長さ当たりのチャネル抵抗 R_{is} により、分布定数を含むモデル回路を構成し、電界効果効果トランジスタの実測値に合わせこむようにしてこれら変数値を決定し、これらから電界効果トランジスタのSパラメータを算出する（分布定数等型価回路については、例えば、S. J. Nash, A. Platzker, and W. Struble, "Distributed small signal model for multifingered GaAs PHEMT/MESFET devices", IEEE Microware and Millimeter-Wave Monolithic Circuits Symposium, 1996, を参照）。

【0006】また、上記集中定数型等価回路あるいは上記分布定数等型価回路のゲート抵抗 R_g に周波数依存性のある経験的な関数を適用し、電界効果トランジスタの周波数特性をより正確に表現しうる回路シミュレーションモデルも提案されている。ゲート抵抗 R_g に周波数依存をもたせた経験的な関数としては、例えば、 R_o 、 R_s を定数、 f を周波数として、

$$R_g = R_o \times \cosh(R_s e \times f)$$

により表される関数が適用されている。

【0007】

【発明が解決しようとする課題】しかしながら、上記従来の集中定数型等価回路や分布定数等型価回路を用いたシミュレーションモデルは高周波における影響に関して考慮されておらず、高周波領域における精度に欠けるものであった。また、ゲート抵抗 R_g に周波数依存性をもたせたシミュレーションモデルでは、ある程度の周波数領域までは電界効果トランジスタの特性を再現できるが、上記関数は物理学的背景を有しない経験的なものであり、50GHz以上の周波数では実際のトランジスタに対して誤差を生じ、精度が悪くなっていた。

【0008】本発明の目的は、電界効果トランジスタの特性を50GHz以上の周波数領域においても精度よく近似しうる電界効果トランジスタの回路シミュレーション方法及び装置並びに回路シミュレーションモデルを提供することにある。

【0009】

【課題を解決するための手段】上記目的は、電界効果トランジスタの周波数特性を等価回路を用いて算出する電界効果トランジスタの回路シミュレーション方法であつ

て、高周波領域における表皮効果によるゲート電極の実効的な断面積の減少を考慮して前記ゲート電極の抵抗値を算出し、前記ゲート電極の抵抗値を用いて前記電界効果トランジスタの周波数特性を計算することを特徴とする電界効果トランジスタの回路シミュレーション方法によって達成される。このように算出したゲート電極の抵抗値は、高周波領域における表皮効果という物理的な効果を考慮しているので、経験的な成分によってゲート電極の抵抗値の合わせこみを行う従来の方法と比較して、より精度よく電界効果トランジスタの周波数特性を近似することができる。

【0010】また、上記の電界効果トランジスタの回路シミュレーション方法において、前記ゲート電極の抵抗値は、前記ゲート電極を構成する材料の透磁率と、前記ゲート電極を構成する材料の比抵抗と、前記ゲート電極の厚さと、前記ゲート電極の幅を含む関数に基づいて算出するようにもよい。また、上記の電界効果トランジスタの回路シミュレーション方法において、前記関数は、前記ゲート電極の抵抗値を R_g 、前記ゲート電極を構成する材料の透磁率を μ 、前記ゲート電極を構成する材料の比抵抗を ρ 、前記ゲート電極の厚さを t 、前記ゲート電極の幅を w 、電流の流れる領域の厚さを δ として、 $R_g = R_{go} w t / (2(t+w)) \times (1/\delta + 2/(t+w-2\delta))$ により表すようにもよい。

【0011】また、上記の電界効果トランジスタの回路シミュレーション方法において、前記等価回路は、集中定数により記述された等価回路を適用することができる。また、上記の電界効果トランジスタの回路シミュレーション方法において、前記等価回路は、ゲート電極、ドレイン電極又はソース電極の少なくとも一つが分布定数により記述された等価回路を適用することができる。

【0012】また、上記目的は、電界効果トランジスタの周波数特性を等価回路を用いて算出する電界効果トランジスタの回路シミュレーション装置であって、高周波領域における表皮効果によるゲート電極の実効的な断面積の減少を考慮して前記ゲート電極の抵抗値を算出するプログラムを格納する手段と、前記プログラムを読み出して実行し、前記ゲート電極のゲート電極を算出する手段と、前記ゲート電極の抵抗値に基づいて前記電界効果トランジスタの周波数特性を算出する手段とを有することを特徴とする電界効果トランジスタの回路シミュレーション装置によつても達成される。

【0013】また、上記目的は、電界効果トランジスタの周波数特性を等価回路を用いて算出するための電界効果トランジスタの回路シミュレーションモデルであつて、前記電界効果トランジスタのゲート電極の抵抗値として、高周波領域における表皮効果によるゲート電極の実効的な断面積の減少を考慮した値を用いることを特徴とする電界効果トランジスタの回路シミュレーションモデルによつても達成される。

【0014】

【発明の実施の形態】本発明の一実施形態による電界効果トランジスタの回路シミュレーション方法及び回路シミュレーションモデルについて図1乃至図6を用いて説明する。図1は電界効果トランジスタの構造及び表皮効果を説明する概略断面図、図2は本実施形態による回路シミュレーション方法を示すフローチャート、図3は電界効果トランジスタのSパラメータの周波数依存性を示すグラフ、図4は本実施形態による回路シミュレーション装置を示すブロック図、図5は電界効果トランジスタの集中定数型等価回路を示す図、図6は電界効果トランジスタの分布定数型等価回路を示す図である。

【0015】はじめに、本実施形態による回路シミュレーションモデルについて図1を用いて説明する。回路シミュレーションモデルの構築に当たり、MESFETやHEMTなどの化合物半導体よりなる電界効果トランジスタの一般的な構造として、図1に示す構造を仮定する。すなわち、半導体基板10にコンタクトするコンタクト*

$$\delta = (2\pi\mu f / 2\rho)^{-1/2} \\ = A \times f^{-1/2} \quad (\text{但し、 } A = (\rho / \pi\mu)^{1/2}) \quad \dots (2)$$

として表される。

【0018】したがって、 $w > t$ とすると、 $\delta \geq 0.5 \times t$ のときは電流の流れない領域は発生せず、ゲート抵抗 R_g は直流抵抗 R_{go} と等価である。すなわち、

$$R_g = R_{go} \quad \dots (3)$$

※

$$Sf = w t - (t - 2\delta) \times (w - 2\delta) \quad \dots (4)$$

によって与えられるので、ゲート抵抗 R_g は、

$$R_g = R_{go} \times S_f / S \quad \dots (5)$$

となる。式(4)の断面積 S 、 S_f を、式(1)の電流★

$$R_g = R_{go} w t / (2(t + w)) \\ \times (1/\delta + 2/(t + w - 2\delta)) \quad \dots (6)$$

となる。

【0019】式(6)は、透磁率 μ 、ゲート材料の比抵抗 ρ 、ゲート電極16の厚さ t 、幅 w 、周波数 f を含み、高周波領域における表皮効果という物理的な効果を考慮したゲート抵抗 R_g を与える。したがって、式

(6)で求めたゲート抵抗 R_g を用いて集中定数型等価回路或いは分布定数型等価回路により電界効果トランジスタのSパラメータを求めることにより、経験的な成分によってゲート抵抗の合わせこみを行う従来の方法と比較して、より精度よく電界効果トランジスタのSパラメータを近似することができる。

【0020】なお、式(6)は、周波数の平方根を含む関数であり、高周波領域における表皮効果を表すモデルとしては、ゲート抵抗を周波数の平方根の関数で表すことが望ましいものと考えられる。次に、上記の回路シミュレーションモデルを用いた回路シミュレーション方法について図2を用いて説明する。

$$f_o = \rho / (\pi\mu\delta^2) = \rho / (0.25 \times \pi\mu t^2) \quad \dots (7)$$

となる。

【0023】次に、計算する周波数 f と周波数 f_o との大小を比較する(ステップS12)。次に、周波数 f と

*クト領域12と、コンタクト領域12上に形成された配線領域14よりなるT型のゲート電極16を有する電界効果トランジスタを考える。

【0016】直流或いは低周波領域では、ゲート電極16を流れる電流はゲート電極16の断面において均一に流れる。また、ゲート抵抗は配線領域14の抵抗により決定される。したがって、配線領域の断面積を S 、厚さを t 、幅を w 、ゲート電極材料の比抵抗を ρ とすると、単位長さ当たりのゲート抵抗 R_{go} は、

$$R_{go} = \rho / S = \rho / (t \times w) \quad \dots (1)$$

として表される。

【0017】一方、高周波領域では一般に表皮効果が現れることが知られており、高周波領域ではゲート電極16の表面領域においてのみ電流が流れ、ゲート電極16の内部では電流が流れなくなる。電流が流れる領域の厚さ δ は、 μ を透磁率、 ρ をゲート電極材料の比抵抗、周波数を f 、円周率を π として、

※となる。一方、 $\delta < 0.5 \times t$ となると、図1(b)に示すように電流の流れない領域18が形成され、ゲート抵抗 R_g は増加する。すなわち、電流の流れる領域の断面積 S_f は、

※

$$S_f = w t - (t - 2\delta) \times (w - 2\delta) \quad \dots (4)$$

★が流れる領域の厚さ δ 、ゲート電極16の厚さ t 、幅 w により表して書き直すと、

☆ュレーションモデルを用いた回路シミュレーション方法について図2を用いて説明する。

【0021】図2は、式(6)によって表される回路シミュレーションモデルを用いてCPUが実行する本実施形態による回路シミュレーション方法を示すフローチャートである。まず、ゲート抵抗 R_g の演算に必要なパラメータとして、ゲート材料の比抵抗 ρ 、ゲート電極の厚さ t 、幅 w 、透磁率 μ を入力する。また、電界効果トランジスタのSパラメータの計算に必要なゲート抵抗 R_g

40 以外のパラメータも入力する(ステップS11)。

【0022】次に、上記入力パラメータに基づいて、表皮効果が発生する周波数 f_o を算出する。周波数 f_o は、式(2)において $\delta = 0.5t$ となる周波数として与えられる。したがって、式(2)より、周波数 f_o は、

周波数 f_o との大小に基づいて、ゲート抵抗 R_g の計算式を選択する。周波数 f が $f > f_o$ のとき、すなわち表皮効果が発生しているときには、ゲート抵抗 R_g は式

50

(6) によって算出する(ステップS13)。周波数fがf≤f_oのとき、すなわち表皮効果が発生していない場合には、ゲート抵抗R_gは式(1)によって算出する(ステップS14)。

【0024】次に、ステップS13又はステップS14により求められたゲート抵抗R_gを用い、電界効果トランジスタのSパラメータを計算する(ステップS15)。Sパラメータの演算には、例えば、集中定数型等価回路(図5)や分布定数型等価回路(図6)を用いることができる。例えば、図6に示す分布定数型等価回路によれば、ゲート電圧V_g及びドレイン電圧V_dは、次の2階級微分方程式で与えられる。

$$\begin{aligned} \text{【0025】 } d^2V_g/dx^2 &= (R_g(f) + j\omega L_g) (Y_{11}V_g(x) + Y_{12}V_d(x)) \\ d^2V_d/dx^2 &= (R_d + j\omega L_d) (Y_{21}V_g(x) + Y_{22}V_d(x)) \end{aligned}$$

ここで、Y₁₁は単位ゲート幅あたりの真性領域のYパラメータである。したがって、上記方程式と所定の境界条件を用いて計算することにより、電界効果トランジスタのSパラメータを算出することができる。

【0026】次に、Sパラメータの演算を行った周波数fが最終値以上であるか否かを判別する(ステップS16)。周波数fが最終値以上でなければ周波数fを所定値だけ、例えば1GHzだけ増加してS12に進み、上記ステップS12～S16を繰り返す(ステップS17)。周波数fが最終値以上の場合には、演算処理を終了する(ステップS18)。

【0027】このようにして電界効果トランジスタの高周波領域における表皮効果を考慮したSパラメータの周波数依存性を算出することができる。図3は、電界効果トランジスタのSパラメータ(S₁₁成分)の周波数依存性を示すグラフである。図中、一点鎖線が本実施形態による回路シミュレーションモデルを用いた場合の計算値を、点線が経験的な関数を用いてゲート抵抗R_gを表す従来の回路シミュレーションモデルを用いた場合の計算値を、実線が実測値を示している。

【0028】なお、実測値は、ゲート長が0.15μm、ゲート幅が80μmであり、供給層がInGaP層、チャネル層がInGaAs層により構成されたHEMTを用いた。周波数特性の測定には75GHzまで測定可能なヒューレットパッカード社製ベクトルネットワークアナライザを用いた。測定条件はV_{ds}=2V、V_{gs}=-0.6Vとした。

【0029】図示するように、従来の回路シミュレーションモデルを用いた場合、約30GHzまでは精度よく近似できているが、約30GHz以上では誤差が大きくなっている。これに対し、本実施形態による回路シミュレーション方法を用いた場合には、約60GHz以上の周波数でも精度よく近似することができた。次に、本実施形態による回路シミュレーション方法を実現するため

の回路シミュレーション装置の一例について図4を用いて説明する。

【0030】図4は、本実施形態による回路シミュレーション装置を示すブロック図である。本実施形態による回路シミュレーション装置では、共通のバスライン20に各装置が接続されている。バスライン20には、CPU22と、制御プログラムを格納するためのROM24と、回路シミュレーション方法を実行するためのプログラムが格納されたRAM26と、ディスプレイ装置28と、プリンタ30と、ディスク装置32とが接続されている。

【0031】次に、本実施形態による回路シミュレーション装置の動作について説明する。まず、CPU22により、ROM24に格納された制御プログラムを実行してシステム全体を制御し、例えばディスク装置32に格納された回路シミュレーションプログラムを読み出し、RAM26に格納する。回路シミュレーションプログラムは、例えば図2に示す本実施形態による回路シミュレーション方法のフローチャートを実行するプログラムである。

【0032】次に、CPU22により、ROM24に格納された制御プログラムを実行してシステム全体を制御し、RAM26に格納されている回路シミュレーションプログラムを実行する。プログラムの実行に用いられる変数は、例えば、図示しないキーボードから入力し、あるいは、ディスク装置32から読み出すことにより得ることができる。なお、RAM26は、作業領域としても使用される。

【0033】次に、CPU22により、ROM24に格納された制御プログラムを実行してシステム全体を制御し、集中定数型等価回路や分布定数型等価回路に基づいて電界効果トランジスタのSパラメータを算出するプログラムを、例えばディスク装置32から読み出し、RAM26に格納する。次に、CPU22により、ROM24に格納された制御プログラムを実行してシステム全体を制御し、本実施形態による回路シミュレーション方法のフローチャートを実行するプログラムにより与えられたゲート電極の抵抗値を参照しつつRAM26に格納されているSパラメータを算出するためのプログラムを実行し、電界効果トランジスタのSパラメータを算出する。

【0034】次に、回路シミュレーションプログラムにより得られたシミュレーション結果をディスク装置32に格納する。シミュレーション終了後、シミュレーション結果をディスプレイ装置28に表示し、必要に応じてプリンタ30より印刷出力する。こうすることにより、本実施形態による回路シミュレーションモデルを用いた回路シミュレーションを実行することができる。

【0035】このように、本実施形態によれば、高周波領域における表皮効果を考慮してゲート抵抗R_gの求

め、この値に基づいて電界効果トランジスタのSパラメータを求めるので、経験的な成分によってゲート抵抗の合わせこみを行う従来の方法と比較して、より精度よく電界効果トランジスタのSパラメータを近似することができる。

【0036】本発明は上記実施形態に限らず種々の変形が可能である。例えば、上記実施形態では、電界効果トランジスタのSパラメータを求める際に、図5に示す集中定数型等価回路や図6に示す分布定数型等価回路を用いる例を示したが、ゲート抵抗Rgを用いる等価回路であれば、他のいかなる等価回路にも適用することができる。

【0037】また、図6に示す分布定数型等価回路では、ゲート電極（ゲート抵抗Rg、ゲートインダクタンスLg）及びドレイン電極（ドレイン抵抗Rd、ドレインインダクタンスLd）を分布定数により表しているが、ソース電極（ソース抵抗Rs、ソースインダクタンスLs）を分布定数により表してもよい。また、ゲート電極、ドレイン電極、ソース電極のいずれか一つ或いは二つを分布定数により表してもよい。

【0038】また、上記実施形態では、T型のゲート電極に本発明を適用した場合を示したが、他の構造のゲート電極に適用することもできる。また、本発明は、高周波領域における表皮効果をゲート抵抗Rgに反映させることを基本概念とするものであり、図2に示すフローチャートや図4に示す装置はこれらに限定されるものではない。

【0039】

【発明の効果】以上の通り、本発明によれば、電界効果トランジスタの周波数特性を等価回路を用いて算出する電界効果トランジスタの回路シミュレーション方法において、高周波領域における表皮効果によるゲート電極の実効的な断面積の減少を考慮してゲート電極の抵抗値を算出し、ゲート電極の抵抗値を用いて電界効果トランジスタの周波数特性を計算することにより、高周波領域における表皮効果という物理的な効果を考慮しているので、経験的な成分によってゲート電極の抵抗値の合わせこみを行う従来の方法と比較して、より精度よく電界効果トランジスタの周波数特性を近似することができる。

【図面の簡単な説明】

【図1】電界効果トランジスタの構造及び表皮効果を説明する概略断面図である。

【図2】本発明の一実施形態による回路シミュレーション方法を示すフローチャートである。

【図3】電界効果トランジスタのSパラメータの周波数依存性を示すグラフである。

【図4】本発明の一実施形態による回路シミュレーション装置を示すブロック図である。

10 【図5】電界効果トランジスタの集中定数型等価回路を示す図である。

【図6】電界効果トランジスタの分布定数型等価回路を示す図である。

【符号の説明】

Rg…ゲート抵抗

Rd…ドレイン抵抗

Rs…ソース抵抗

Lg…ゲートインダクタンス

Ld…ドレインインダクタンス

20 Ls…ソースインダクタンス

Cgs…ゲート-ソース間容量

Cgd…ゲート-ドレイン間容量

Cds…ドレイン-ソース間容量

gd…ドレインコンダクタンス

gm…相互コンダクタンス

Ris…チャネル抵抗

10…半導体基板

12…コンタクト領域

14…配線領域

30 16…ゲート電極

18…電流の流れない領域

20…バスライン

22…CPU

24…ROM

26…RAM

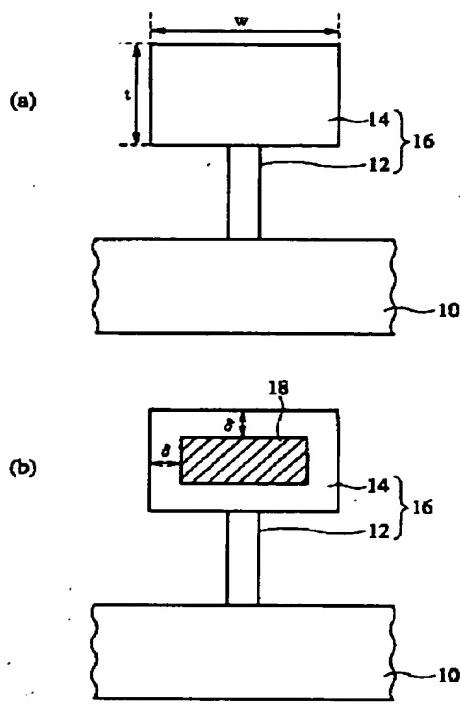
28…ディスプレイ装置

30…プリンタ

32…ディスク装置

【図1】

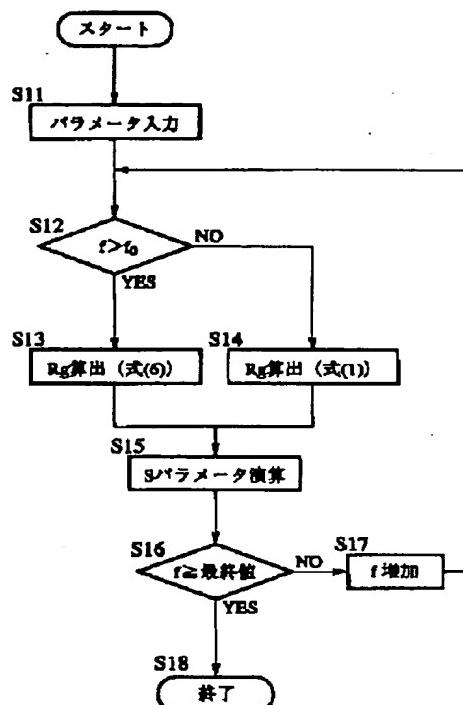
電界効果トランジスタの構造及び表面効果を説明する概略断面図



- 10…半導体基板
- 12…コンタクト領域
- 14…配線領域
- 16…ゲート電極
- 18…電流の流れない領域

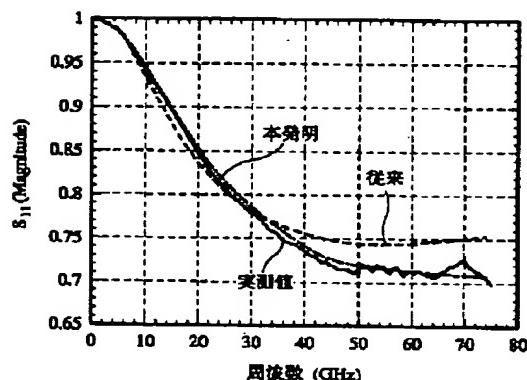
【図2】

本発明の一実施形態による回路シミュレーション方法を示すフロー図

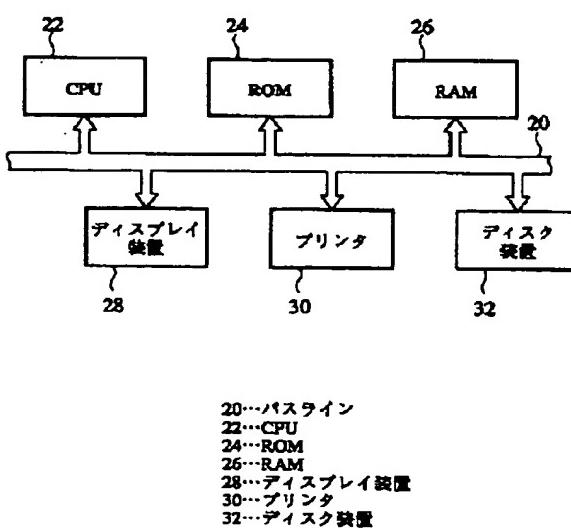


【図3】

電界効果トランジスタのSパラメータの周波数依存性を示すグラフ



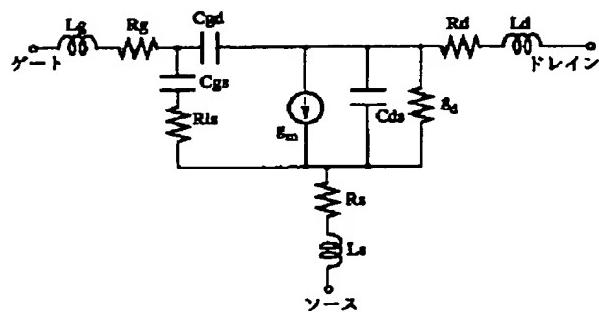
本発明の一実施形態による回路シミュレーション装置を示すブロック図



- 20…バスライン
- 22…CPU
- 24…ROM
- 26…RAM
- 28…ディスプレイ装置
- 30…プリンタ
- 32…ディスク装置

【図5】

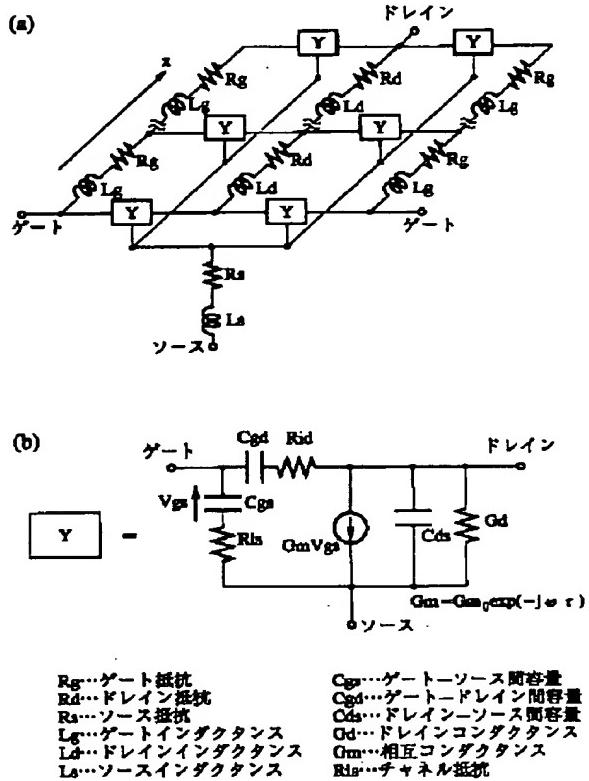
電界効果トランジスタの集中定数型等価回路を示す図



R_g…ゲート抵抗
R_d…ドレイン抵抗
R_s…ソース抵抗
L_g…ゲートインダクタンス
L_d…ドレインインダクタンス
L_s…ソースインダクタンス
C_{gd}…ゲート-ソース間容量
C_{gd}…ゲート-ドレイン間容量
C_{ds}…ドレイン-ソース間容量
G_d…ドレインコンダクタンス
G_m…相互コンダクタンス
R_{ds}…チャネル抵抗

【図6】

電界効果トランジスタの分布定数型等価回路を示す図



R_g…ゲート抵抗
R_d…ドレイン抵抗
R_s…ソース抵抗
L_g…ゲートインダクタンス
L_d…ドレインインダクタンス
L_s…ソースインダクタンス
C_{gd}…ゲート-ソース間容量
C_{gd}…ゲート-ドレイン間容量
C_{ds}…ドレイン-ソース間容量
G_d…ドレインコンダクタンス
G_m…相互コンダクタンス
R_{ds}…チャネル抵抗